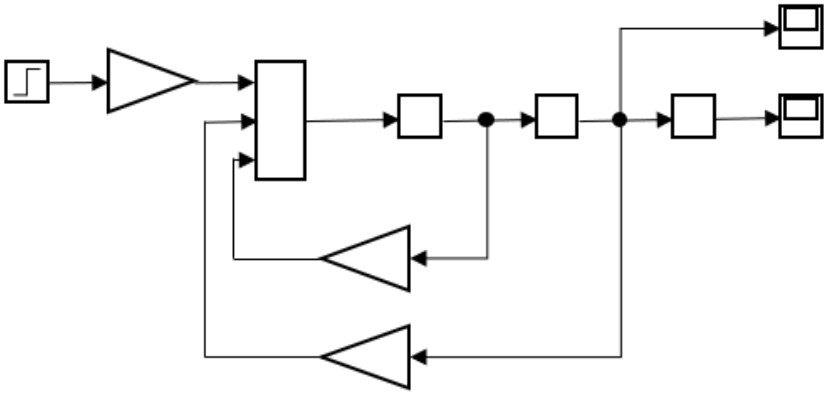
モデルベース開発における
メニーコアを対象とした性能見積もり

本多健太郎, 安積卓也
埼玉大学理工学研究科

モデルベース開発

●シミュレーション技術を取り入れた
システム開発手法 のこと
e.g. MATLAB/Simulink

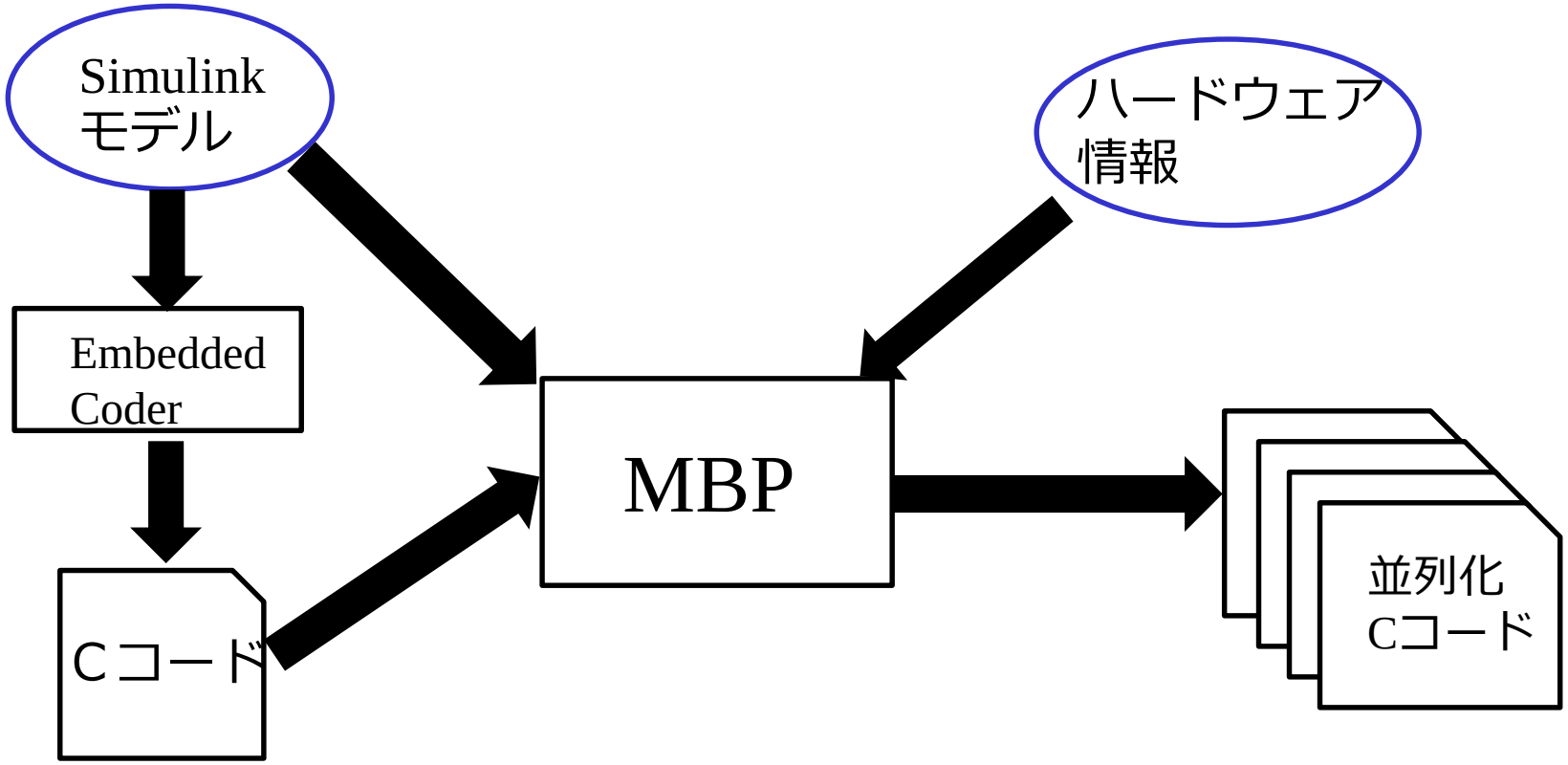
●利点
- コードの自動生成
- 早期の検証（実機なし）
- 再利用性



MATLAB/Simulink

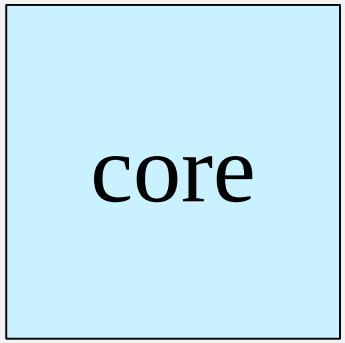
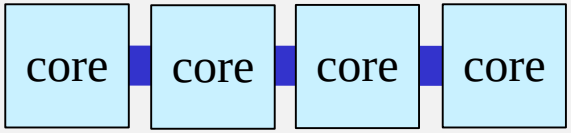
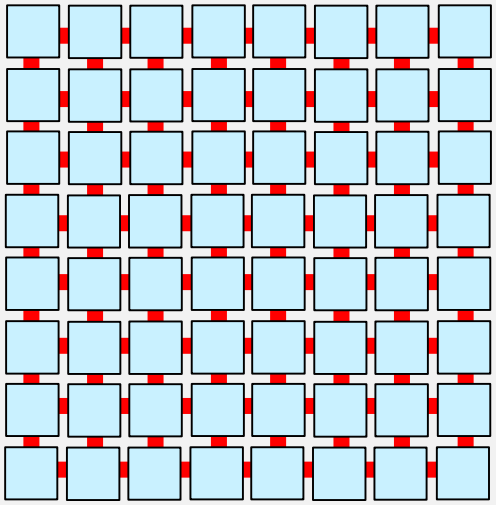
Model Based Parallelizer (MBP)

●MBPは様々な情報からSimulinkの各ブロックにかかる実行時間を見積もり各コアへの割り当てを行い、並列化Cコードを生成する。



Developed by Embedded Multicore Consortium

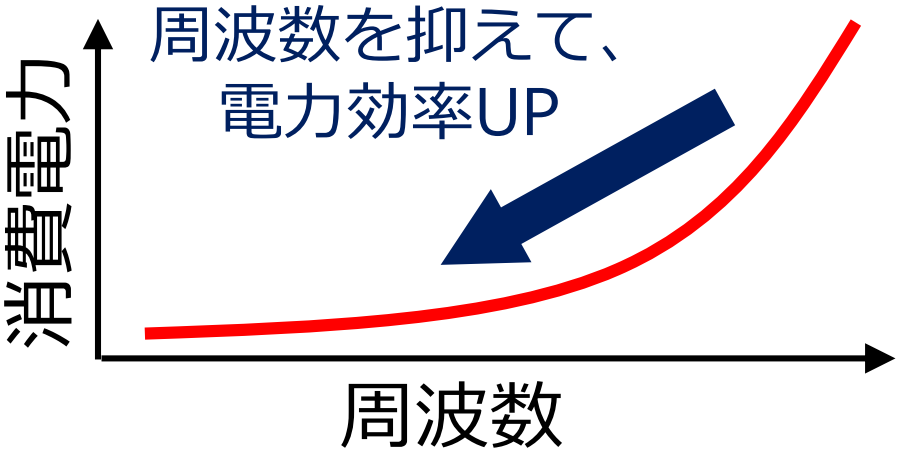
メニーコアプロセッサ

シングルコア	マルチコア	メニーコア
		
1 コア	**2~16** コア	**32** コア以上

【コアのクロック周波数】

4 GHz ➡ 1 GHz × 4

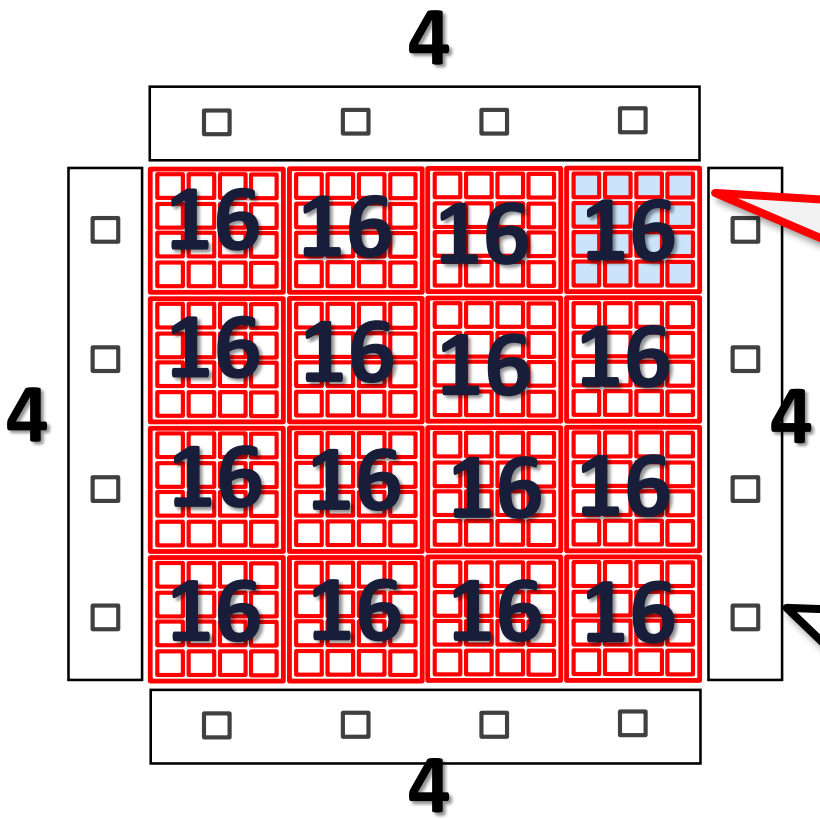
消費電力は全体で約1/4倍



本研究で使用するメニーコアプロセッサ

●KALRAY MPPA-256

- 16クラスタ256コア
- 高性能・低消費
- NoC (Network-on-Chip) 通信



Compute Cluster

- 1クラスタにつき16個のコア
- NoCインターフェース

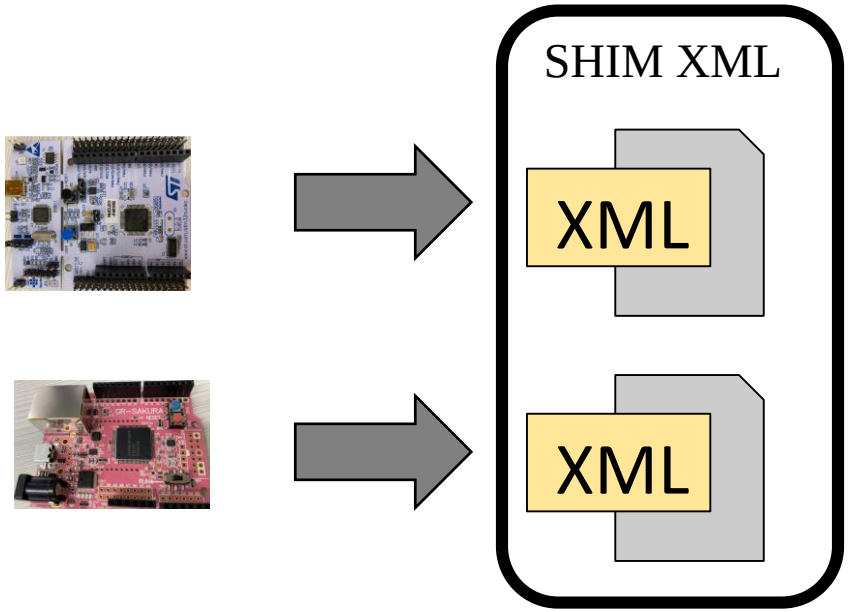
I/O Cluster

- 4つのI/Oコア
- NoCインターフェース

SHIM (Software-Hardware Interface for Multi-many-core)

- マルチ・メニ―コアプロセッサの複雑な構造情報や性能情報を持つ標準インターフェース

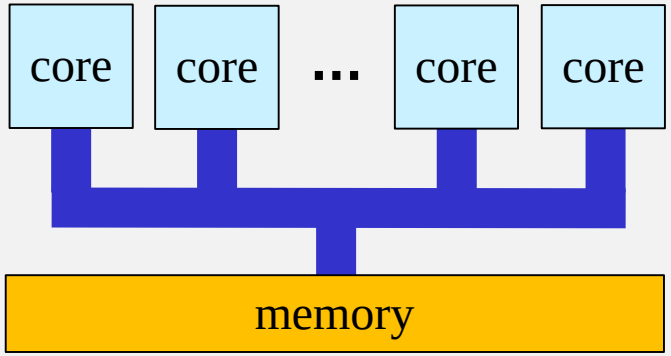
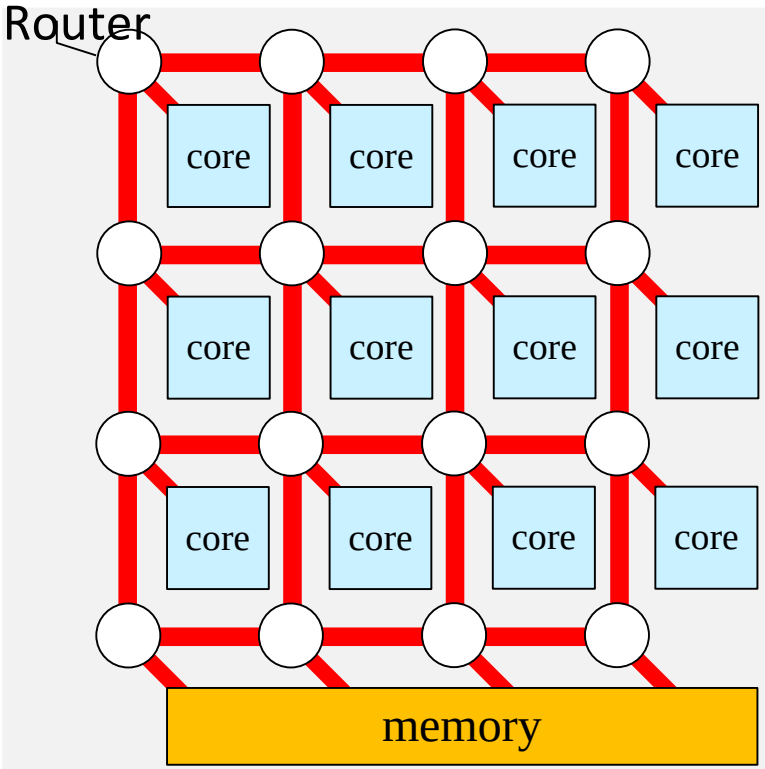
- XML形式



- 利用例
  - 性能見積もりツール
  - 自動並列化コンパイラ
  - 並列化コード自動生成
  - モデルベース並列化ツール（MBP）
    （ブロック毎見積もり，コア配置）

```
<SystemConfiguration>
  <ComponentSet id="CS_MODULE" name="CS_MODULE">
    <ComponentSet frequencyDomainRef="FD_VDD_CORE" id="CLUSTER1" name="
    CLUSTER1" operatingPointRef="VDD_CORE" voltageDomainRef="VD_VDD_CORE
    ">
      <MasterComponent frequencyDomainRef="FD_DMA_CLUSTER" id="DMA" name
      ="DMA" operatingPointRef="OP_DMA_CLUSTER" voltageDomainRef="
      VD_DMA_CLUSTER" arch="GENERIC_DMA" masterType="TU" nChannel="8"
      pid="_DMA">
```

NoC

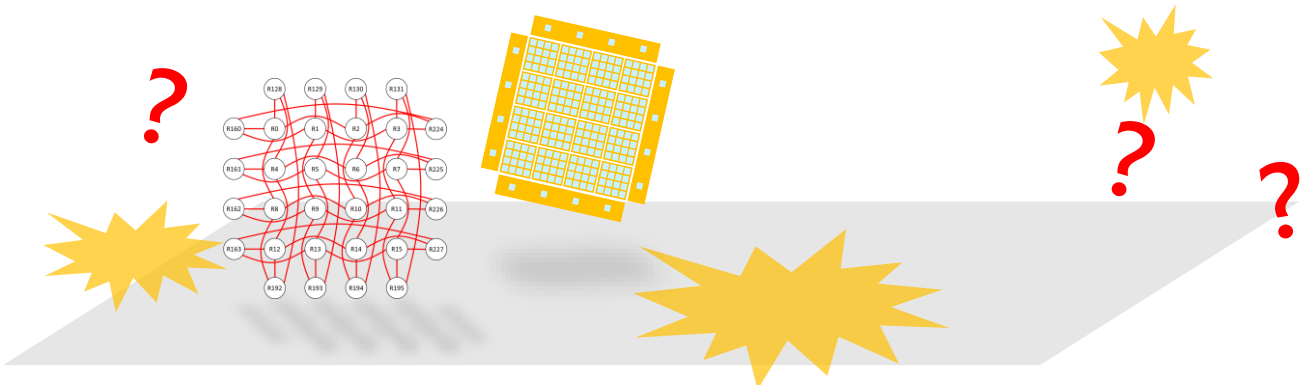
	マルチコア	メニーコア
メモリ接続	 バス接続	 NoC
コア数	2~16 コア	32コア以上

３つの研究成果

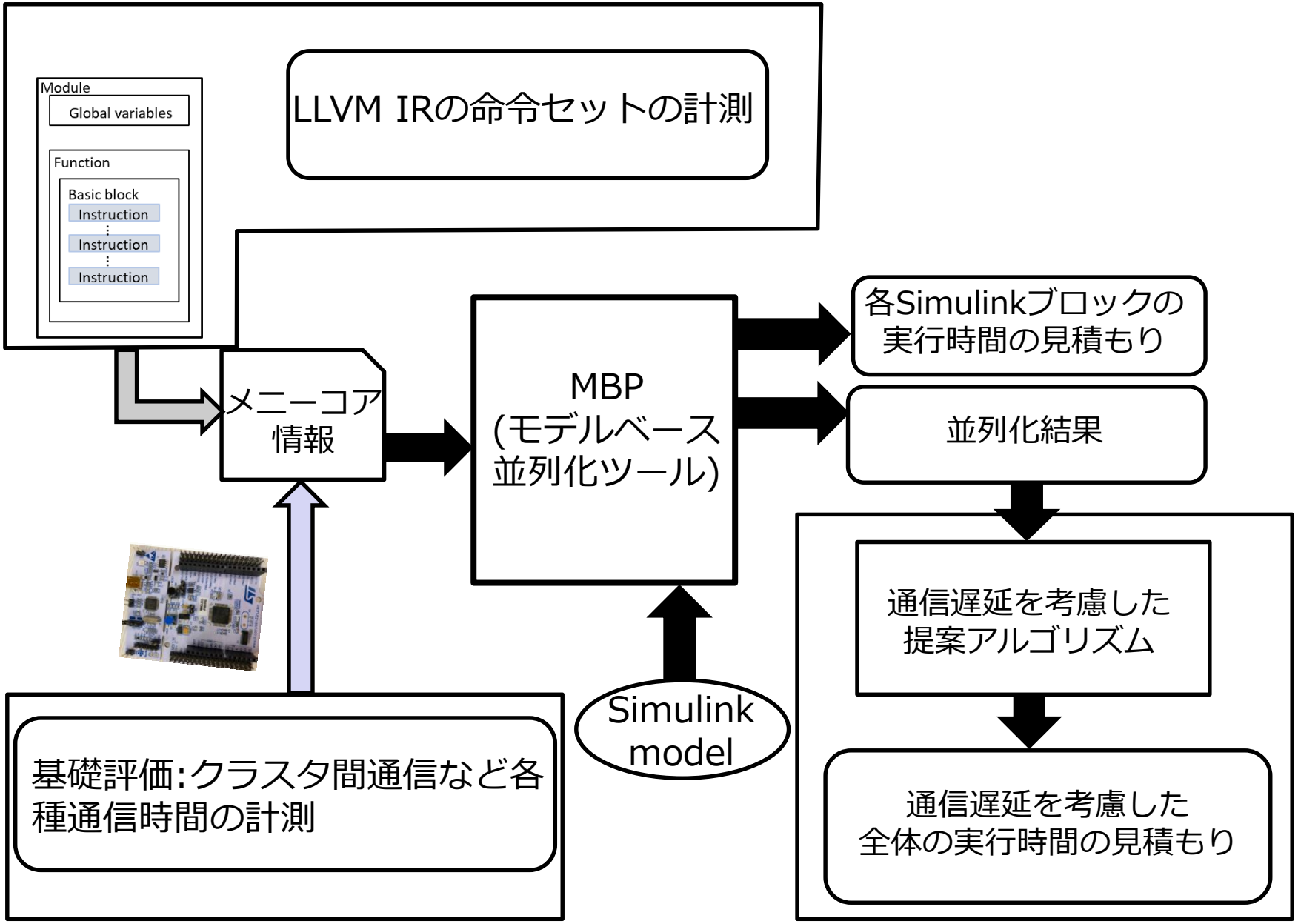
［メニーコアの1コアでの見積もり］
MPPA-256の１コアでの実行時間の見積もりが可能になる

［基礎評価］
MPPA-256環境での通信時間の評価を行いその特性を明らかにする。

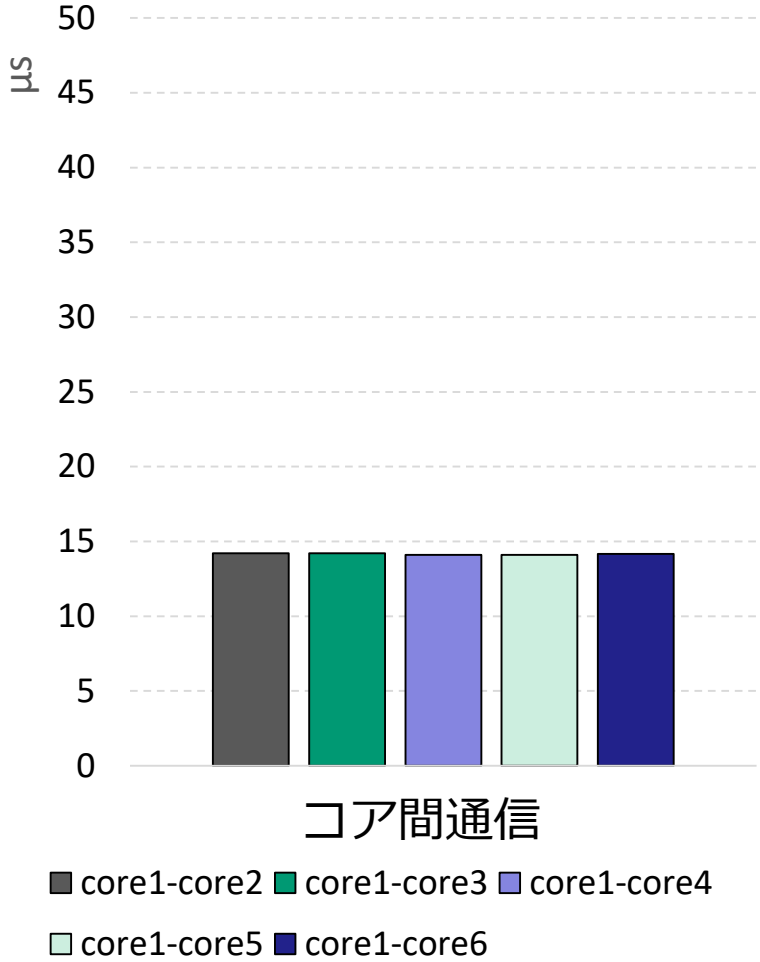
［性能見積もりフレームワークの提案］
メニーコアプラットフォーム上での、ソフトウェア全体の実行時間の見積もりが可能になる

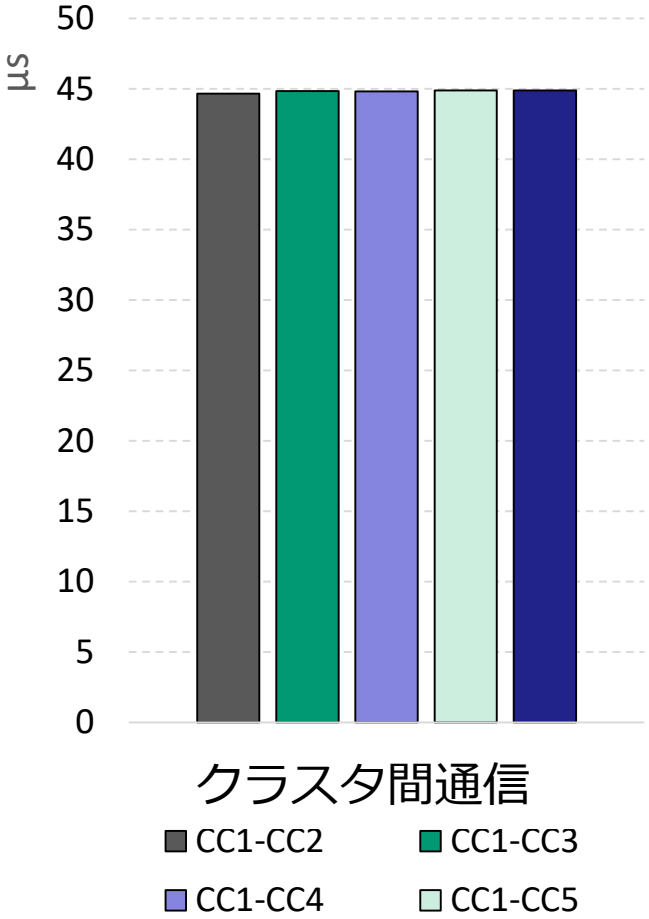


システムモデル


Module
Global variables
Function
Basic block
Instruction
Instruction
Instruction
LLVM IRの命令セットの計測
メニーコア情報
MBP (モデルベース並列化ツール)
各Simulinkブロックの実行時間の見積もり
並列化結果
通信遅延を考慮した提案アルゴリズム
通信遅延を考慮した全体の実行時間の見積もり
Simulink model
基礎評価:クラスタ間通信など各種通信時間の計測

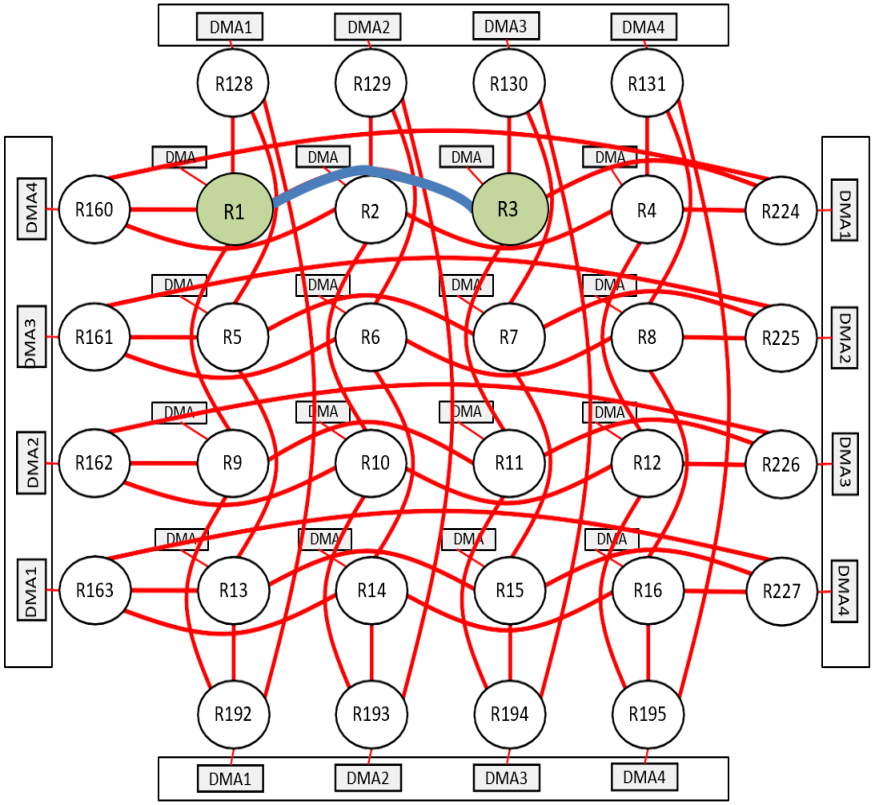
通信時間の評価

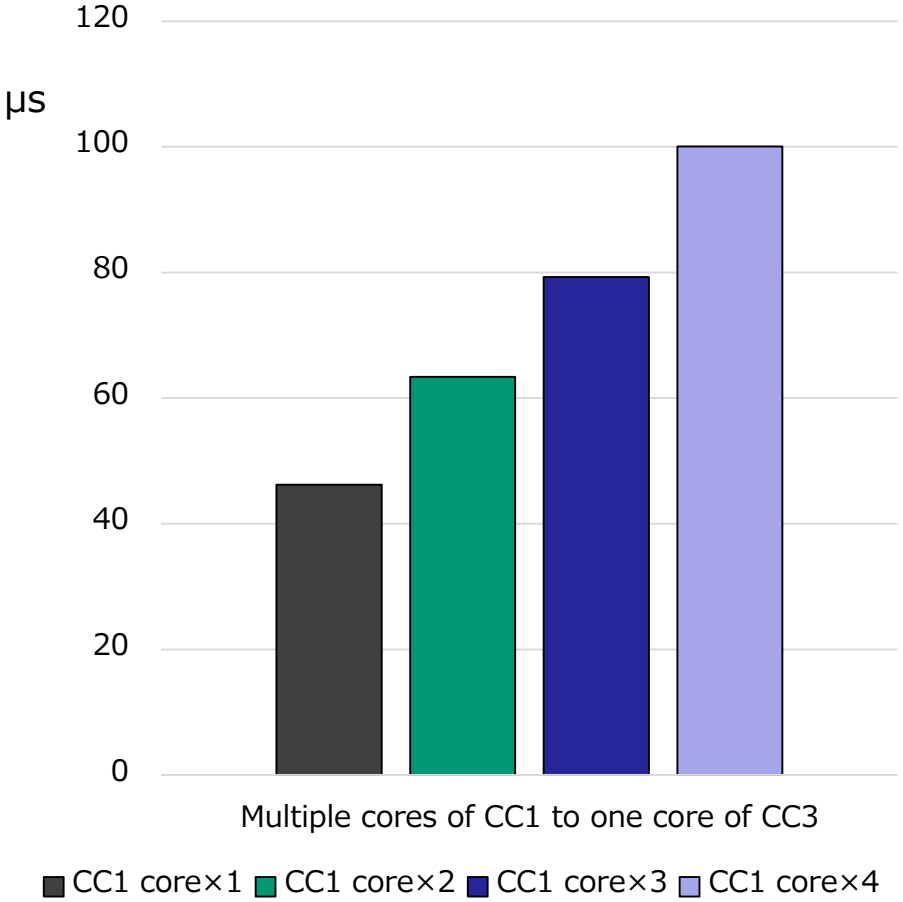




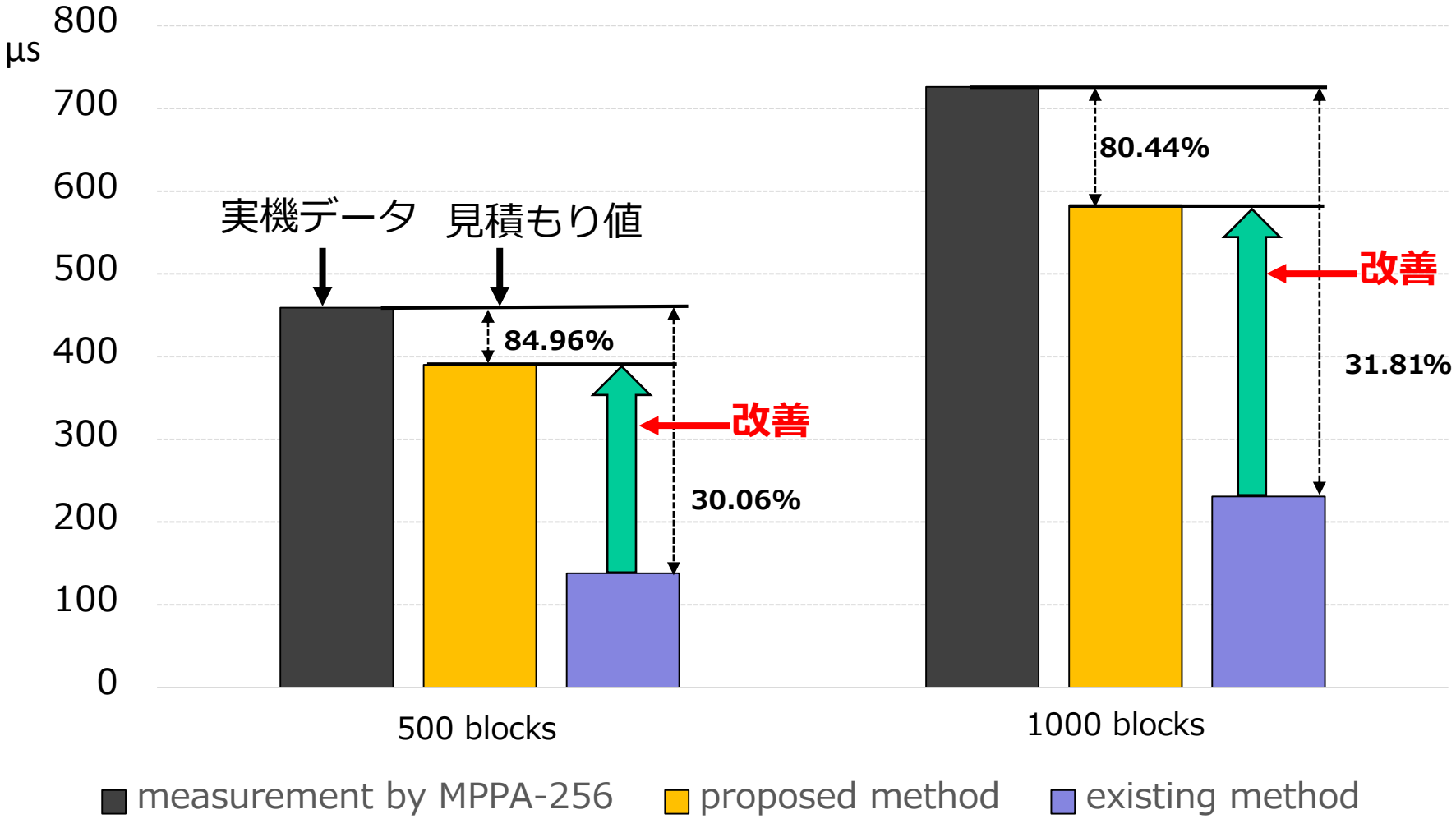
Y. Maruyama, S. Kato, and T. Azumi. Exploring Scalable Data Allocation and Parallel Computing on NoC-based Embedded Many Cores. In Proceedings of the 35th IEEE International Conference on Computer Design (ICCD), 2017.

通信時間の評価 CC1-CC3間での競合





見積もり値と実測値の比較



S. Kojima at el. “Remapping Method to Minimize Makespan of Simulink Model for Embedded Multi-core Systems,” CATA2018

まとめと今後

- **<u>研究背景</u>**
  - 組込みシステムの大規模・複雑化
    - モデルベース開発
    - メニーコアプロセッサ
- **<u>提案</u>**
  - LLVM IRの命令セットの計測による、メニーコア1コアでの実行時間見積もり
  - 通信時間などの基礎評価
  - メニーコアプラットフォーム上でのソフトウェアの性能見積もり
- **<u>評価</u>**
  - 見積もり結果と実機での計測との比較し、メニーコアプラットフォーム上で、既存研究と同程度の見積もり結果が得られた
- **<u>今後の課題</u>**
  - 様々な実モデルでの計測
  - 今回の見積もりを利用したMBPコア割り当ての最適化